

AMPLIFICADOR DE MILLER DE BAJO CONSUMO Y BAJO RUIDO

Juan Osta, Julio Suárez, Matías Miguez, Alfredo Arnaud
 Universidad Católica del Uruguay, Departamento de Ingeniería Eléctrica
 E-mails: jsuarez@ucu.edu.uy, juniosta@gmail.com, Web: <http://die.ucu.edu.uy/microdie/>

Resumen— En este trabajo se presenta un amplificador de Miller para utilizar en circuitos médicos implantables, en particular para amplificación de señales de ENG. Permite amplificar la señal con ganancias de hasta 700 para frecuencias inferiores a 5 kHz, posee un ruido térmico a la entrada entre 1 Hz y 5 kHz de $0.65 \mu\text{V}_{\text{rms}}$, consumiendo 1 mW. Debido a que el ruido de flicker resulta elevado en la banda de interés, se incluye una adaptación del circuito utilizando la técnica de Auto-Zero para reducirlo. Ambos circuitos serán fabricados en tecnología AMI C5 (0.5 μm).

I. INTRODUCCIÓN

En el diseño de circuitos médicos implantables, uno de los desafíos es amplificar señales de entre 1 y 100 μV (como por ejemplo señales ENG [1]) con frecuencia de algunos kHz. Para aumentar la vida útil del implante es indispensable el menor consumo de energía posible, idealmente algunos cientos de μWatts o menos. El principal desafío es lograr con un consumo tan reducido, que el ruido introducido por el amplificador sea acorde a las señales tan pequeñas a amplificar.

En la primera parte de este trabajo se presenta un amplificador de Miller para aplicaciones médicas de bajo consumo y bajo ruido, tomando como base especificaciones de ENG. Un diseño cuidadoso permite reducir el ruido térmico a los valores deseados pero, a bajas frecuencias, el ruido de flicker es dominante.

En trabajos previos [1, 2] se investiga diversos métodos para reducir la contribución del ruido de flicker, entre ellos amplificadores choppeados o el aumento del área de los transistores de entrada. En este trabajo, en la sección VI, se aborda la técnica de Auto-Zero [3] con la finalidad de reducir el ruido de flicker a la entrada.

II. DISEÑO DEL CIRCUITO

A. Especificaciones

Las especificaciones iniciales son las siguientes: se requiere un consumo de corriente del orden de 200 μA para una tensión de alimentación de 3.3 V, con un ruido térmico a la entrada inferior a 1 μV_{rms} y ganancia mayor a 200 en el rango de frecuencias de interés, de 0 a 5 kHz. Por último, el área ocupada por el circuito deberá ser menor a 0.1 mm^2 .

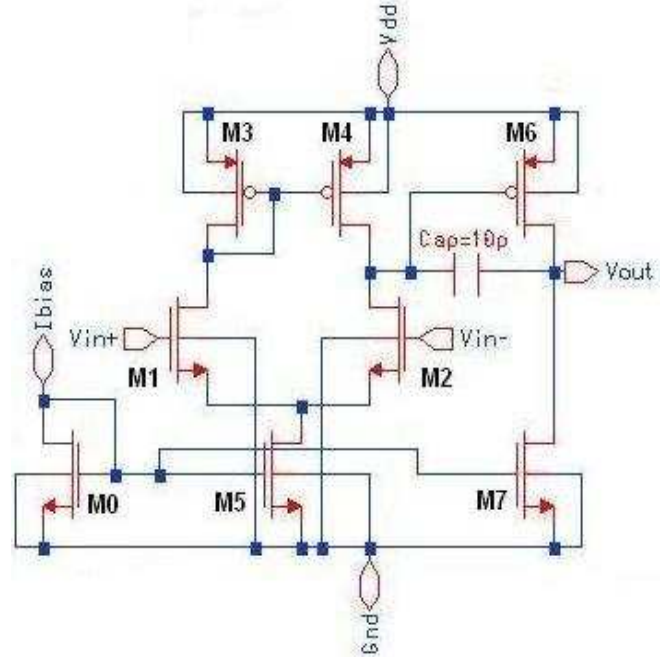


Figura 1. Circuito del amplificador de Miller diseñado.

B. Consideraciones de diseño

En la Fig. 1 se muestra el circuito esquemático del amplificador diseñado sin incluir la técnica de Auto-Zero. Para lograr el bajo nivel de ruido a la entrada, los transistores del par diferencial (M1 y M2) deberán estar en inversión débil o moderada [4]; y los transistores de copia de corriente (M3 y M4) operan en inversión fuerte para minimizar su contribución en el ruido. El capacitor de Miller se eligió de 10 pF para respetar la especificación del ancho de banda, y de modo de tener un tamaño en el circuito razonable.

En la Tabla 1 se muestran los parámetros de cada transistor, que fueron calculados utilizando el modelo ACM [5] para la exploración del espacio de diseño; i_f es el nivel de inversión, y g_m la transconductancia.

	M0	M1	M2	M3	M4	M5	M6	M7
i_f	700	3	3	120	120	700	100	700
g_m (μS)	68.6	314.0	314.0	78.5	78.5	68.6	724.0	291.0
w/l	1.1	133.3	133.3	7.9	7.9	1.1	80.0	4.9

Tabla 1. Parámetros de cada transistor.

C. Layout

Para reducir los efectos de despareo en el par diferencial de entrada, M1 y M2 se construyeron conectando en paralelo transistores más pequeños intercalados entre sí. Consideraciones similares se tuvieron para M0, M5 y M7 (polarización) y para el espejo superior (M3 y M4).

A cada grupo recién mencionado se le agregó transistores *dummies*, y fue implementado con guardas para evitar señales parásitas, al igual que el transistor M6 de la etapa de salida, que además fue diseñado de drain común para ahorrar área.

Todos los transistores se eligieron de longitud 4 veces el largo mínimo de la tecnología, para minimizar los efectos de canal corto. El área total ocupada es de 150µm x 100µm.

La Fig. 2 muestra el layout correspondiente.

III. ANÁLISIS DE RUIDO

El ruido térmico generado por un transistor estándar [6] se modela con una fuente de corriente en paralelo al transistor (Fig. 3), con una densidad espectral de corriente constante de:

$$S_{i_n} = \gamma \cdot n \cdot k \cdot T \cdot g_m \quad (1)$$

donde n es el factor de pendiente ($n \approx 1$), k es la constante de Boltzmann, T la temperatura en Kelvin, y γ es 8/3 para el caso de transistores en inversión débil y 2 para inversión fuerte.

Si suponemos que los transistores M0, M5 y M7 (de polarización) no influyen de manera significativa en el ruido a la entrada, y esto se confirmará luego con las simulaciones, entonces la densidad espectral de potencia (PSD) de ruido térmico a la entrada es:

$$S_{v_{in}} = \frac{n \cdot k \cdot T}{g_{m_1}} \cdot \left(\gamma_1 + \gamma_3 \cdot \frac{g_{m_3}}{g_{m_1}} + 2 \cdot \gamma_6 \cdot \frac{I_4}{I_6} \cdot \frac{g_{m_6}}{g_{m_1}} \right) \quad (2)$$

Por lo tanto, el voltaje de ruido a la entrada, de 0 a 5 kHz que es nuestro intervalo de trabajo, resulta

$$V_{n_{RMS}} = \sqrt{\int_0^{5K} S_{v_{in}}(f) df} = 0,77 \mu V_{rms} \quad (3)$$

El resultado en (3) verifica la especificación inicial, sin embargo el mismo cálculo para ruido de flicker (se omite por simplicidad) resulta en un valor elevado, del orden de 3 µV_{rms}.

IV. SIMULACIÓN Y RESULTADOS

En la Fig. 4 se muestra la transferencia del amplificador en lazo abierto. Si bien la ganancia parece reducida (64 dB), es adecuada para una primera etapa amplificadora de muy bajo ruido. Se obtuvo un consumo de corriente de 306 µA a 3.3 V, equivalente a 1 mW de potencia. El voltaje de ruido total a la entrada es de 3.4 µV_{rms} considerando las componentes de ruido térmico y de flicker, 0.65 µV_{rms} y 3.25 µV_{rms} respectivamente. Siendo el ruido de flicker la componente dominante se intentará cancelarlo en la siguiente sección.

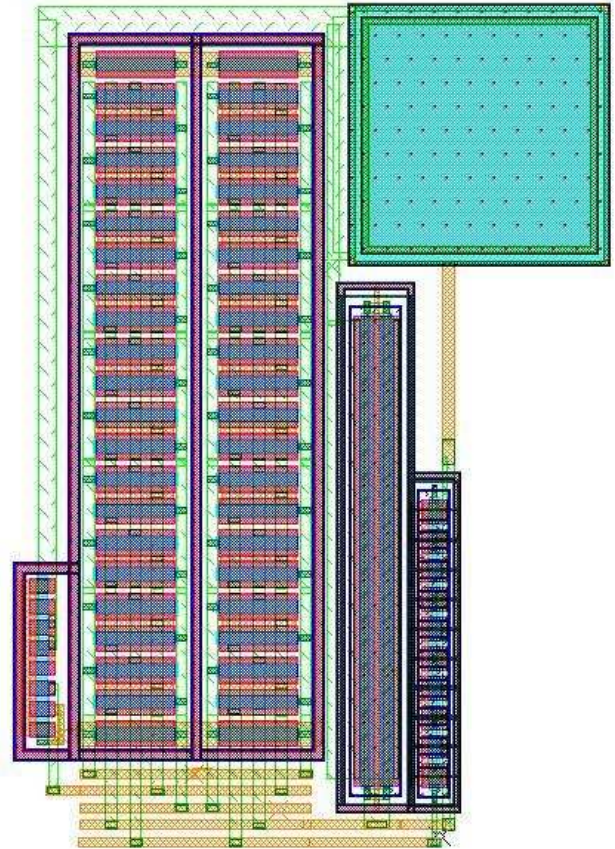


Figura 2. Layout del amplificador de Miller

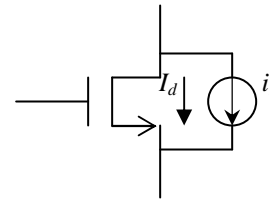


Figura 3. Modelo en corriente del ruido térmico de un transistor.

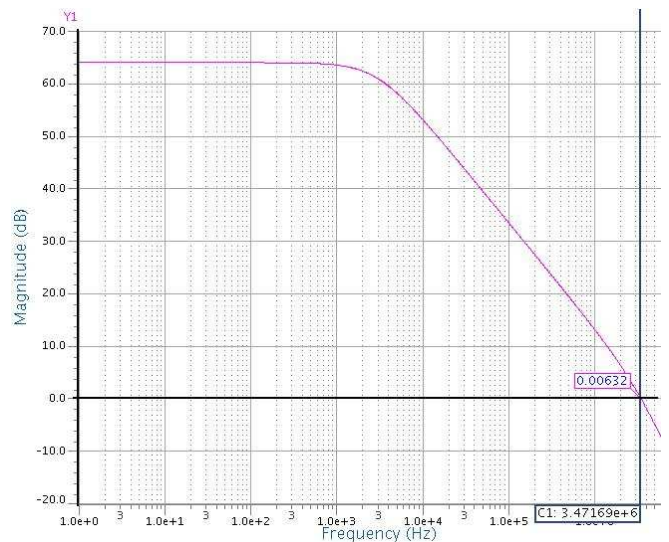


Figura 4. Transferencia del circuito diseñado. El producto de ganancia por ancho de banda es 3.7 MHz > 0.5 MHz

V. IMPLEMENTACIÓN DE AUTO-ZERO

Esta técnica se utilizará con el circuito de la Fig. 5 [7]. Se selecciona una frecuencia de Auto-Zero de 4 kHz, con un duty cycle de 5%.

Teniendo en cuenta la resistencia de las llaves Φ_1 y los efectos de inyección de carga, el capacitor C_{az} se dimensiona de 40 pF, suficientemente chico para poder ser integrado y asegurar su completa carga durante el tiempo de muestreo.

Para evitar un funcionamiento indebido es necesario que Φ_1 y Φ_2 no conduzcan simultáneamente. Por este motivo se decide utilizar un *Non overlapping clock*, cuyo esquemático se muestra en la Fig. 6. Se agrega un par de inversores en serie a la salida de cada compuerta *Nor*, diseñados con tamaños no mínimos, para obtener un tiempo de 0.1 μ s donde ambas señales están apagadas.

Con estos valores el ruido total del amplificador es reducido en un 40% (cálculos de ruido según [3]), y el voltaje de offset en la entrada es eliminado casi en su totalidad.

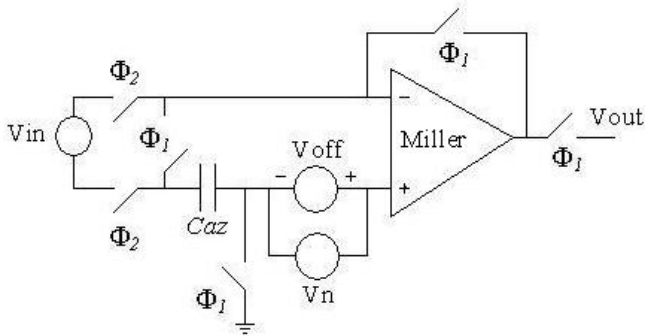


Figura 5. Técnica de Auto-Zero para el amplificador de Miller.

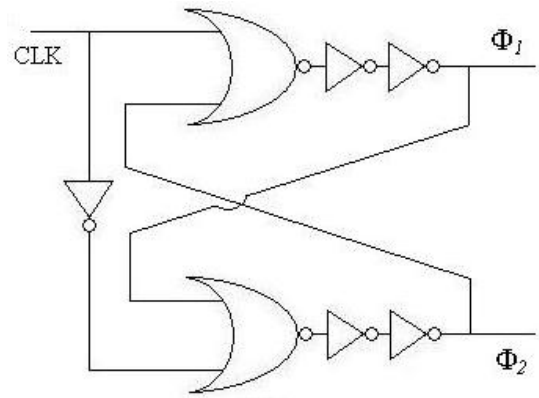


Figura 6. Circuito esquemático del *Non overlapping clock*.

VI. CONCLUSIONES

Se diseñó un circuito amplificador de Miller para señales de ENG. El mismo tiene un consumo de 1mW y un ruido total a la entrada en la banda de interés de 3.7 μ V_{rms}. Una modificación de este circuito, implementando la técnica de autozero, permitió reducir el mismo en un 40%, y eliminar el voltaje de offset. Ambos circuitos serán fabricados en tecnología AMIS C5.

VII. REFERENCIAS

- [1] "On the Reduction of Thermal and Flicker Noise in ENG Signal Recording Amplifiers" A.Arnaud, M.Míguez, J. Gak, M.Bremermann. Journal Analog Integrated Circuits & Signal Processing (AICSP), Vol 57, n° 1, pp.39-48, nov.2008.
- [2] J. Sacristan, M.T. Oses, "Low noise amplifier for recording ENG signals in implantable systems", IEEE International Symposium on Circuits and Systems (ISCAS'04), vol.IV, pp. 33-36, Mayo 2004.
- [3] C. C. Enz, G.C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization", Proceedings of the IEEE , vol. 84, n°11, pp.1584 – 1614, Nov.1996.
- [4] Behzav Razavi, "Design of analog CMOS integrated circuits" McGraw-Hill International Edition, pp. 27-28, 2001.
- [5] A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, "An MOS transistor model for analog circuit design", IEEE J. Solid-State Circuits, vol.33, no.10, pp. 1510-1519, Oct.1998.
- [6] A. Arnaud, C. Galup-Montoro, "Consistent noise models for analysis and design of CMOS circuits", IEEE Trans. Circuits & Systems I, Vol. 51, N° 10, Oct. 2004.
- [7] Phillip E. Allen, Douglas R. Holberg, "CMOS analog circuit design", 2nd ed, Oxford, pp. 464-466, 2002.