

PREAMPLIFICADOR INTEGRADO PARA SEÑALES DE ENG

Joel Gak, Martín Bremermann, Alfredo Arnaud

Universidad Católica del Uruguay, Departamento de Ingeniería Eléctrica

jgak@ucu.edu.uy

RESUMEN

En este trabajo se presenta un preamplificador integrado para registro de señales nerviosas (ENG). El amplificador tiene un ruido a la entrada de $5\text{nV}/\sqrt{\text{Hz}}$, consume solo $360\mu\text{W}$ y fue fabricado en tecnología AMI ABN1.5 μ . Se utiliza un convertor DC-DC para disminuir el consumo de energía sin aumentar el ruido térmico.

1. INTRODUCCIÓN Y DESCRIPCIÓN DEL CIRCUITO

Las señales nerviosas se capturan con distintos tipos de electrodos, aunque en los últimos años han dominado aquellos tipo cuff o sieve [1]. Las señales son de muy baja amplitud, en el entorno de $1\text{a } 10\mu\text{V}$, y baja frecuencia, desde cientos a unos pocos kHz. Se requiere también un alto rechazo al modo común CMRR para aislar la interferencia durante la estimulación eléctrica (usualmente parte de los implantes activos); y rechazo a offset de varios mV en la señal de entrada. Por el bajo nivel de la señal involucrada la ganancia es alta y el ruido debe ser muy bajo lo que constituye la principal dificultad. Los circuitos implantables se alimentan en general de una batería recargable o no, de entre 2.8 a 5 o 6Volts [1,2], y es importante reducir el consumo lo máximo posible.

El preamplificador se muestra en la Fig.2, la arquitectura es similar a la presentada en [3] pero se optimizara el dimensionado de los transistores para trabajar a bajo voltaje. La contribución de este trabajo respecto a [3] es reducir mediante un convertor DC-DC la tensión de alimentación de 5 a 1.8V (factor 1:3), ver Fig.1. Recordando que el ruido térmico es inversamente proporcional a la corriente de polarización de los transistores MOS [4], al utilizar un convertor DC-DC (de eficiencia cercana al 100%) se puede mantener el mismo ruido térmico, consumiendo $1/3$ de corriente de la batería. Los transistores de entrada en la Fig.2 operan en inversión débil para disminuir la tensión de alimentación y ruido térmico [4], y tendrán un área grande para reducir el ruido de flicker y offset. La ganancia es de 35 dB y el ruido en la banda de 100 a 5kHz , menor a $5\text{nV}/\sqrt{\text{Hz}}$ ($0.5\mu\text{V}_{\text{rms}}$ en la banda pasante).

2. TRANSFERENCIA

Analizando el circuito de la Fig.2 en pequeña señal se obtiene la transferencia:

$$H(s) = \frac{Rg_{mpd}s}{s + \frac{ng_{mpd}}{2C}} \quad (1)$$

Donde con una transconductancia del par diferencial $g_{mpd}=2,2 \times 10^{-3}\text{S}$, $R=50\text{k}\Omega$ y $C=2,2\mu\text{F}$ tenemos una ganancia $G_{DC}=110$ y el polo en $f_c=100\text{Hz}$ ($n \approx 1.5$ es el factor de pendiente)

3. ANALISIS DE RUIDO

Considerando que el ruido es una fuente de corriente en paralelo con cada transistor con una PSD de la forma,

$$Si_n = \frac{Kg_m^2}{C'_{ox} WL f} + 2nkTg_m \quad (2) \quad [4]$$

entonces se puede calcular la contribución pasando a señal en el circuito de la Fig. 2, colocando la fuente de ruido correspondiente, aplicando superposición y considerando que el ruido del transistor simétrico al estudiado tendrá el mismo aporte (el resultado del estudiado se multiplica por 2) se tiene las ecuaciones siguientes, que son las PSD del ruido equivalente a la entrada de el par-diferencial, polarizador PMOS y NMOS respectivamente.

$$Sv_{inpd} = \frac{2Si_{inpd}}{g_{mpd}^2}$$
$$Sv_{inpp} = Sv_{inpd} \frac{g_{mspd}^2}{(g_{mspd}^2 + 16\pi^2 C^2 f^2)} \quad (3)$$
$$Sv_{inpn} = Sv_{inpd} \frac{g_{mpd}^2 R^2}{|H(s)|^2}$$

Para calcular el aporte de ruido integramos la PSD

multiplicada por $\frac{|H(s)|^2}{G_{DC}^2}$, pero como en todos los

casos $PSD = Sv_{inpd}|G(f)|^2$, integramos $\frac{PSD}{Sv_{inpd}}$, los

resultados de dicha integral se ven en la tabla N°1. Como se puede apreciar en la tabla vemos que el ruido aportado tanto por el par-diferencial como los polarizadores NMOS es el mismo y los polarizadores PMOS prácticamente no aportan ruido, entonces para realizar el dimensionado no se consideraran estos últimos y se la dará a cada uno de los otros 4 transistores la cuarta parte del ruido total. Considerado esto, dividiendo el ruido de manera que la mitad del aporte sea debido al térmico, la otra de flicker, ahora si integrando la PSD y tomando el largo $L=3L_{min}$ tenemos:

$$I = 110,4 \mu A$$

$$W = 14826,66 \mu m \quad (4)$$

En la tabla N°2 se resumen los tamaños de los transistores

4. SIMULACIÓN Y MEDIDAS

En la Fig.3 se ve la transferencia del circuito simulado, donde tenemos $G_{DC}=60$ y el polo en $f_c=82Hz$. De aquí se descubrió que la resistencia de canal del polarizador NMOS es del orden de R , por esto parte de la corriente en señal se va por ahí disminuyéndose la ganancia de 100 a 60.

En la Fig.3 se ve la transferencia del circuito medida donde tenemos $G_{DC}=60$, el polo en $f_c=60Hz$ y un $CMRR=58dB$. El circuito a la fecha se encuentra aun completando la etapa de test.

5. CONCLUSIONES

Se logro realizar el preamplificador integrado, con una baja alimentación (1,8V), una ganancia considerablemente alta (35dB), el polo cerca al predicho.

6 FIGURAS Y TABLAS

PP	PN	PD
8,06	69,83	70,71

Tabla N° 1 Aporte de ruido normalizado PSD/S_{vinpd}

PP (μm)	PN (μm)	PD (μm)
$W=14826,66$ $L=4,5$	$W=3760$ $L=4,5$	$W=14826,66$ $L=4,5$

Tabla N° 2 Tamaño de los transistores

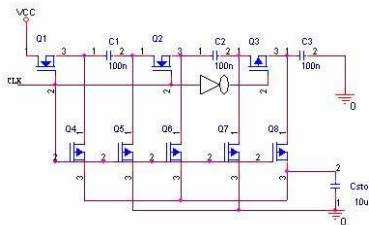


Figura N°1 Conversor DC-DC

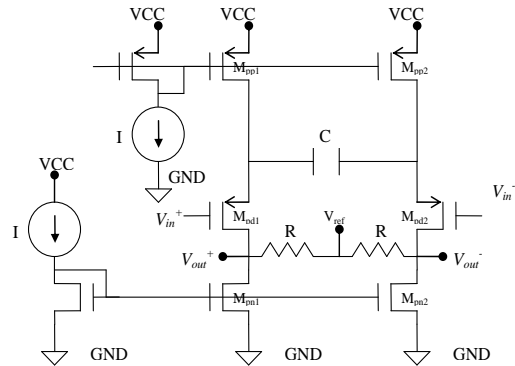


Figura N° 2 Preamplificador a nivel de transistor

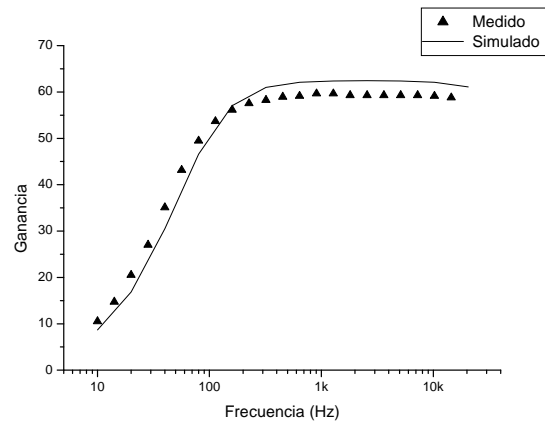


Figura N° 3 Transferencia preamplificador simulada (línea) y medida (triángulos)

9. AGRADECIMIENTOS

Agradecemos a MOSIS, que a través de su programa MEP se pudieron fabricar 5 muestras de este chip.

10. REFERENCIAS

- [1] D.Prutchi, M.Norris, *Design and Development of Medical Instrumentation*, John Wiley & Sons, N.Jersey, 2005.
- [2] D.Linden, T.B.Reddy (eds.), *Handbook of batteries*, 3d ed., McGraw Hill, ISBN-0-07-135978-8, 2002.
- [3] J.Sacristan, M.T.Oses, "Low noise amplifier for recording ENG signals in implantable systems", *IEEE ISCAS'2004*, vol.IV, pp.33-36, May-2004.
- [4] A.Arnaud, C.Galup Montoro, "Consistent noise models for analysis and design of CMOS circuits", *IEEE Trans.Circuits & Systems I*, Vol.51, n°10, pp.1909-1915, Oct.2004. Location, pp. 1-10, Date.