

Circuito Integrado para la Caracterización del Ruido 1/f Ciclo-estacionario en Transistores MOS.

Rafael Puyol, Alfredo Arnaud, Matías Miguez, Joel Gak
 Departamento de Ingeniería Eléctrica – Universidad Católica del Uruguay
 Montevideo, Uruguay
 mmiguez@ucu.edu.uy

Abstract— En los últimos años, se ha propuesto la operación ciclo-estacionaria (conmutada) del transistor MOS como una técnica para reducir el ruido de flicker a nivel del dispositivo. Sin embargo, todavía hacen falta medidas precisas del ruido 1/f cubriendo una amplia gama de regiones de operación del transistor, para apoyar los modelos de ruido ciclo-estacionario propuestos. En este trabajo se analizan varios aspectos de medición de ruido, y se presenta el desarrollo de un circuito integrado destinado a la medición de ruido de flicker conmutado para diferentes tipos / tamaños de transistores de prueba y en diferentes condiciones de polarización. El circuito propuesto es una matriz de pares diferenciales, que servirán como dispositivos para testear ('Device Under Test' DUT) conectados a un amplificador GmC conmutado. La modulación / demodulación del amplificador conmutado es tal que amplifica el ruido de flicker de los DUTs mientras que las restantes fuentes de ruido de flicker en el circuito son canceladas.

Palabras Claves— medida de ruido; ruido de flicker; MOSFET

I. INTRODUCCIÓN

El ruido de flicker, o simplemente ruido 1/f, es tal que su densidad espectral de potencia varía con la frecuencia de la siguiente manera:

$$S_{i_n}(f) = K/f^\gamma \quad (1)$$

donde S_{i_n} es la densidad espectral de potencia (PSD, por sus siglas en inglés) del ruido en corriente i_n , mientras que K y γ son constantes, con $\gamma \approx 1$. En la Figura 1(a) se muestra una PSD típica del ruido de flicker en corriente de un MOSFET, donde i_n es la corriente aleatoria que modela el ruido en pequeña señal, la cual es adicionada a la corriente en DC I_D del transistor. El origen del ruido de flicker en transistores MOS está dado principalmente por la captura/emisión de portadores en estados localizados llamados 'trampas' en el óxido [1][2]. Desde hace un tiempo, la conmutación de la polarización (u operación ciclo-estacionaria) ha sido propuesta como técnica para reducir el ruido del flicker a nivel físico en el MOSFET [3][4]. La operación ciclo-estacionaria no es una técnica de circuito como chopper o autozero [5], sino que simplemente el transistor es periódicamente conmutado entre un estado apagado (off) y un estado donde está saturado (on).

Se puede explicar intuitivamente esta reducción del ruido, considerando que al apagar periódicamente el transistor, se obliga a una gran cantidad de trampas que estaban llenas a vaciarse en forma sistemática, introduciendo un cierto "orden" en el proceso aleatorio. En la figura 1(b), se muestra la PSD de un transistor en operación ciclo-estacionaria, de acuerdo a medidas reportadas en [6][7]. El espectro usual de 1/f se

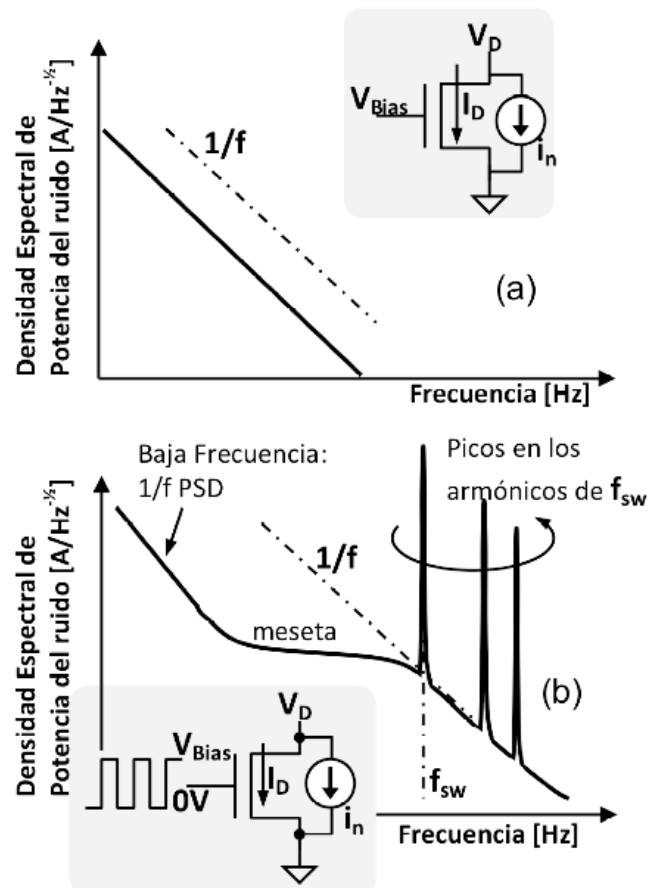


Figura 1: Grafica logarítmica de la densidad espectral de potencia de: a) ruido de baja frecuencia de un transistor típico. b) ruido ciclo-estacionario de un transistor típico, mostrando una meseta a frecuencias medias y la reaparición del ruido 1/f a muy baja frecuencia.

observa por encima de la frecuencia de conmutación f_{sw} , pero a frecuencias inferiores la PSD del ruido crece con una pendiente mucho menor, similar a una meseta. Finalmente para frecuencias aun menores el espectro original del ruido 1/f vuelve a aparecer; la meseta de la figura 1(b) es predicha en los modelos de [7][8], entre otros, pero este último efecto de reaparición del espectro 1/f no está bien descrito por los modelos existentes. Una posible explicación de dicho comportamiento del ruido de flicker ciclo-estacionario fue propuesta en [9], pero no es concluyente. Otra posible explicación para este fenómeno, es que exista algún otro proceso aleatorio que genere un ruido del tipo 1/f en el MOSFET, pero que solamente es visible cuando la PSD del mecanismo de captura/emisión de trampas es drásticamente reducido, como ocurre en la operación ciclo-estacionaria. Son necesarias más medidas variando el espesor del óxido t_{ox} , el voltaje de conmutación V_{Bias} de la Fig.1(b), el nivel de inversión del transistor, la frecuencia de conmutación (f_{sw}),

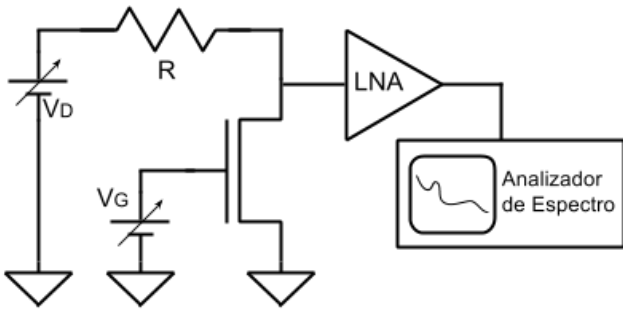


Figura. 2: Configuración típica para la caracterización de ruido de baja frecuencia (flicker) para un transistor MOS. La resistencia R convierte el ruido en corriente en un ruido en voltaje, que es posteriormente amplificado por un amplificador de bajo ruido (LNA) y luego medido con un analizador de espectro.

o el ciclo de trabajo para poder comprender el comportamiento del ruido ciclo-estacionario y validar cualquier modelo propuesto. Las medidas de ruido para muy bajas frecuencias y con pequeñas corrientes de polarización no son sencillas, y si se combina con una polarización conmutada, esto presenta un reto aun mayor, al punto que muy pocas medidas del espectro del ruido han sido reportadas para transistores conmutados de canal largo.

En este trabajo un circuito integrado de aplicación específica (ASIC) es propuesto para la caracterización de ruido de flicker para transistores MOS, tanto conmutados como en operación continua. Los transistores pueden ser polarizados con un amplio espectro de corrientes, desde pA hasta algunos mA, para cubrir todas las regiones de operación, desde una profunda inversión débil hasta inversión fuerte.

Existen muchos trabajos publicados sobre el diseño de amplificadores de bajo ruido y sobre diferentes modelos teóricos de ruido, pero todavía hay pocos en el desarrollo de técnicas precisas para medir ruido. En la mayoría de las publicaciones, la configuración usada para la caracterización de ruido de flicker en MOSFETs, es la de la Fig. 2[1] o similares con variaciones mínimas. Un transistor MOS es polarizado variando tanto la tensión de compuerta como la del drenador, la corriente de ruido es transformada en voltaje por la resistencia y finalmente este es amplificado usando una amplificador de bajo ruido (LNA) siendo finalmente medido por un analizador de espectro. El principal problema que presenta la configuración de la Fig. 2, es que es un circuito en modo común muy sensible al ruido de acople y que la ganancia en pequeña señal para el ruido está limitada por R . El ruido de acople es uno de los principales problemas ya que a muy bajas frecuencias se superpone con las vibraciones

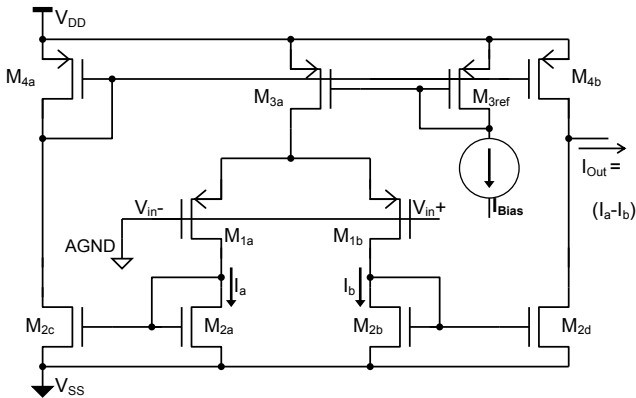


Figura. 3. Un OTA simétrico con sus entradas cortocircuitadas como mejoría para la caracterización del ruido de baja frecuencia. Es una estructura diferencial con una carga activa. Por otro lado, el ruido de los restantes transistores afecta las medidas.

mecánicas del ambiente. Un circuito mucho más eficiente para la caracterización puede ser un transconductor simétrico (OTA) como el de la Fig. 3, donde el DUT son los dos transistores de entrada (idénticos) $M_{1a(b)}$. En este caso el circuito consiste en una etapa diferencial para limitar el ruido de acople y la R es sustituida por una carga activa que presenta una impedancia muy pequeña en señal, y por lo tanto una ganancia superior. Como contrapartida la PSD contiene la contribución de ruido de todos los otros transistores M_i del OTA. El ASIC desarrollado en este trabajo se basa en un OTA conmutado propuesto en [9], pero las llaves de modulación fueron modificadas para asegurar que el único ruido amplificado hacia la salida sea el de los DUTs. En [9] solo la señal era modulada, lo que permitía reducir el ruido introducido por los transistores del amplificador; mientras que en este trabajo, no hay señal externa, ya que lo que se quiere caracterizar es el ruido de los propios transistores.

II. EL CIRCUITO INTEGRADO PROPUESTO

El circuito propuesto se muestra en la Figura 4. El mismo fue diseñado en una tecnología de alto voltaje (HV) de $0.6\mu\text{m}$, lo cual permite tener transistores con distintos espesores de óxido ($t_{ox1}=12\text{nm}$, $t_{ox2}=41\text{nm}$). Se diseñaron dos circuitos análogos: uno para medir transistores PMOS (no se muestra), y otro para transistores NMOS (Fig. 4). Una matriz de conmutación, permite conectar 4 pares diferenciales NMOS (PMOS) con diversas relaciones de tamaño (comenzando con una relación mínima $W/L=2\mu\text{m}/2\mu\text{m}$) y los dos diferentes espesor de óxidos a un OTA simétrico similar al de la Figura 3. En la figura 4, solo un par diferencial y su circuito asociado se muestra para simplificar su comprensión. Los transistores $M_{2,3,4}$ son de tamaño medio ($W.L) = 120\mu\text{m}^2$ o incluso superior para reducir su contribución de ruido de flicker, ya que éste es inversamente proporcional al área [1][2]. El circuito utiliza una estructura diferencial para reducir al mínimo el ruido de acople. El OTA utiliza un funcionamiento conmutado [4] para reducir aun más el ruido extra introducido por los transistores de espejo $M_{2i}-M_{4i}$ (Fig. 4). Un amplificador conmutado (chopper) fue presentado en [9], pero en este trabajo se lo modifica utilizando tres fases: durante las fases ϕ_1 , ϕ_2 , los DUTs se encuentran en saturación, comportándose como un par diferencial. Sin embargo durante la fase ϕ_3 se encuentran en un estado de apagado conmutando a una frecuencia f_{SW} . A continuación se presenta una explicación más detallada de cada fase.

- Fase ϕ_1 : S_{1a} , S_{1b} , S_{in1} están cerradas, las entradas son cortocircuitadas a un modo común V_{CM} , y S_{Out1} está cerrada dirigiendo la corriente de salida hacia el primer capacitor integrador C_1 .

- Fase ϕ_2 : S_{2a} , S_{2b} , S_{in1} están cerradas, invirtiendo el par diferencial pero aun manteniendo al modo común V_{CM} , y S_{Out2} está cerrada dirigiendo la corriente de salida hacia el segundo capacitor integrador.

- Fase ϕ_3 : S_{3a} , S_{3b} , S_{in2} están cerradas apagando el par diferencial (colocando sus entradas a GND), y S_{Out3} está cerrada siendo la corriente de salida dirigida a un voltaje DC V_{Ref} .

La fase ϕ_3 es el estado apagado del proceso ciclo-estacionario, mientras que las fases ϕ_1 , ϕ_2 son los estados encendidos, pero el signo de la transconductancia es intercambiado en cada fase (mantiene su valor absoluto). La nueva posición de las llaves permite que el ruido generado por los DUTs sea modulado (ejemplificado i_{n1} con en la Figura 4); el mismo es

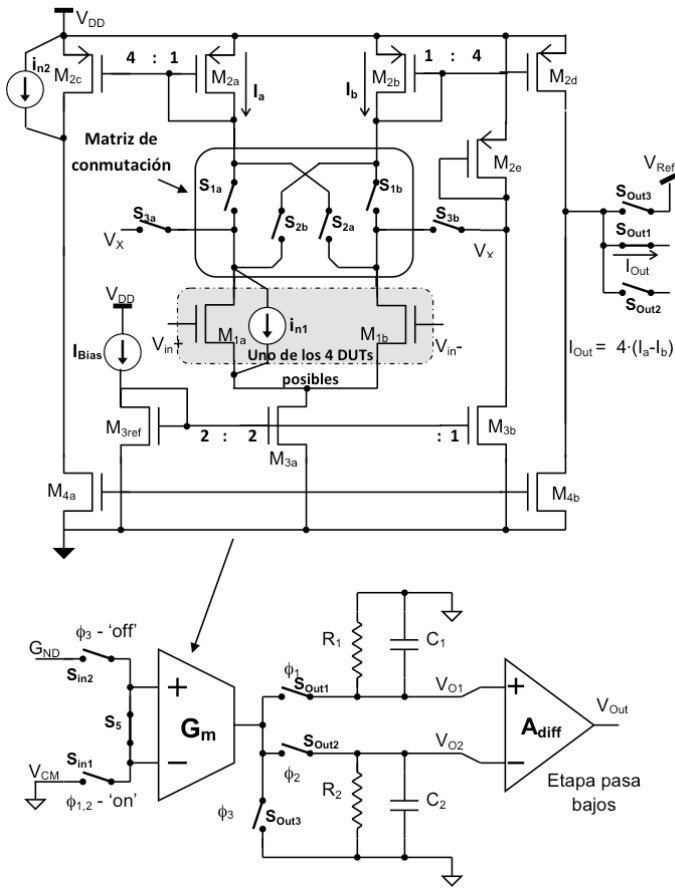


Fig. 4. Un OTA simétrico con factor de copia $B=4$ a la salida, es conectado por intermedio de una matriz de selección a uno de los 4 posibles pares diferenciales NMOS. Además una matriz de conmutación permite intercambiar la posición de los transistores de entrada para construir un amplificador G_m -C conmutado similar al propuesto en [9], pero que amplifica el ruido generado por los DUTs. Las entradas del OTA son cortocircuitadas y periódicamente conectadas en estado 'on' y 'off' para medir el ruido de flicker ciclo-estacionario.

demodulado en el capacitor de salida (principio de funcionamiento del amplificador conmutado [4][9]). El ruido de flicker de los restantes transistores $M_{2a,b,c,d}$ y $M_{4a,b}$ es modulado solamente una vez, por lo que éste es corrido hacia la frecuencia de modulación f_{SW} . A la salida de ésta etapa, el filtro/amplificador A_{diff} tiene características pasa-bajos para eliminar el ruido generado por M_{2i} , M_{4i} (ejemplificado por i_{n2} en Figura 4), y amplificando aun más el ruido de los DUT. Un factor de copia $B=1:4$ fue elegido para el OTA para obtener una ganancia en corriente. Un factor de copia más elevado fue descartado para evitar capacidades parásitas grandes en la compuerta de M_2 , lo cual limitaría el ancho de banda de las medidas para bajas corrientes de polarización. Las llaves S_{3a}, S_{3b} no son estrictamente necesarias, pero permiten medir ruido para corrientes de polarización muy bajas; estas llaves son cerradas durante ϕ_3 para mantener los valores estacionarios de I_a, I_b reduciendo así el tiempo de establecimiento cuando el par diferencial sea nuevamente encendido. El propósito de M_{3b} - M_{2e} es generar el mismo voltaje en el nodo V_X que cuando el sistema esta funcionando. La llave S_5 está siempre cerrada, para cortocircuitar las entradas V_{in+}, V_{in-} (como en la Fig.3), para las medidas de ruido cuando ambas entradas son alternadas entre V_{CM} (ϕ_1, ϕ_2) y GND (ϕ_3) como en la Figura 1(b) ($V_{CM} = V_{Bias}$). Sin embargo se incluyó la llave S_5 para poder manejar separadamente V_{in+}, V_{in-} y así medir la transconductancia en DC y otras características del circuito. Las 6 llaves S_{ix} ($i=1,2,3$) son transistores PMOS de tamaño mínimo. Las llaves S_1, S_2 y S_3 están replicadas para cada uno de los 4 pares de transistores

que serán caracterizados, y un circuito digital simple fue incluido para poder seleccionar el par adecuado. Todos los pares están conectados a los mismos nodos de entrada y pueden ser conectados a la misma salida, uno a la vez, dependiendo del valor digital en la entrada del circuito digital. Dicho circuito puede ser controlado por un microcontrolador o FPGA externo.

Por más que parezca sencillo, describir en forma analítica la salida de un circuito G_m -C conmutado es muy complejo. Una análisis exhaustivo de la teoría de los Filtros continuos conmutados (SCTF) fue presentada en [9], incluyendo un análisis del ruido blanco, que muestra que los efectos de aliasing pueden ser despreciados. Por limitaciones de espacio, no discutiremos los resultados presentados en [9] y simplemente, podemos concluir que la densidad espectral de potencia del ruido, para frecuencias inferiores a f_{SW} es:

$$S_{V_{out}}(f) \approx 2 \cdot S_{DUT}(f) \cdot \left| \frac{4 \cdot g_{mDUT} \cdot R \cdot A_{diff}}{(1 + j2\pi f \cdot 2RC)} \right|^2 \quad (2)$$

Donde $C_1=C_2=C$, g_{mDUT} es la transconductancia del DUT, y $R_1=R_2=R$ en la Fig. 4. Tanto R, C y el filtro/amplificador diferencial pasa-bajo A_{diff} son componentes externos, para poder fijar la ganancia y el polo $f_p=1/(4\pi RC)$, de manera que se adecuen a cada una de las diferentes medidas.

III. SIMULACIONES Y LAYOUT

El circuito propuesto fue diseñado en una tecnología HV de $0.6\mu m$ y se encuentra en proceso de fabricación actualmente. En la Figura 5 se presenta el layout del circuito. El mismo ocupa un área de $430\mu m$ por $190\mu m$. En el diseño físico, se buscó mantener los circuitos digitales próximos entre sí, con una guarda que los encierra y lo mas alejado posible de la parte analógica, para minimizar la interferencia introducida. Los transistores que se encuentran cerca del centro son los que conforman los pares diferenciales de alto voltaje. Éstos tienen un tamaño mucho más grande que los MOS de bajo voltaje, que es necesario para implementar el óxido grueso y demás exigencias de layout para alto voltaje. Para la parte digital se utilizó las librerías estándar provistas por el fabricante.

Se tuvo especial cuidado también en dimensionar las pistas adecuadamente para que las caídas de voltajes sean despreciables incluso en el peor de los casos. Todos los transistores de la parte analógica fueron diseñados con una geometría de centroide común para disminuir los efectos que las variaciones en los procesos de fabricación pueden tener en el circuito.

A continuación se muestran algunos resultados de simulación del circuito. El mismo fue simulado con una corriente de polarización I_{Bias} entre $200pA$ y $2mA$, y bajo las distintas configuraciones; este rango incluye las regiones de operación entre inversión débil y fuerte para los transistores de prueba seleccionados. El circuito fue simulado en estado estacionario (ϕ_1 o ϕ_2), como chopper para una polarización fija del DUT (alternando ϕ_1 - ϕ_2), como amplificador no conmutado en funcionamiento ciclo-estacionario (alternando entre ϕ_1 - ϕ_3), y el caso completo, donde se alterna ϕ_1 - ϕ_2 - ϕ_3 .

En la Fig. 6 se muestra una simulación transitoria para éste último caso, para una corriente de ruido sinusoidal i_{n1} de $10Hz$ y $5nA_p$ de amplitud a la entrada en paralelo con uno de los DUTs (arriba), y para una corriente de ruido i_{n2} sinusoidal de $10Hz$ y $20nA_p$ de amplitud en paralelo con uno de los transistores de los espejos (abajo). Las gráficas de la figura

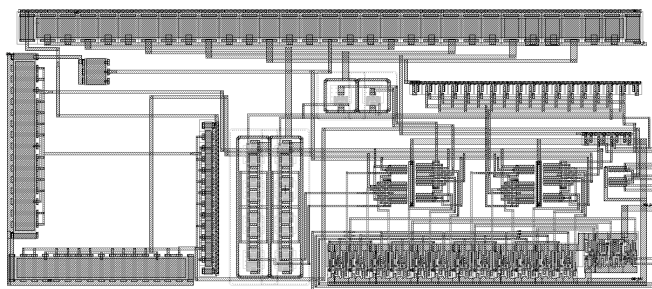


Figura 5. Diseño físico (layout) del circuito fabricado. Abajo a la derecha, celdas digitales, en el centro los 4 pares diferenciales.

fueron obtenidas para $W/L = 8\mu\text{m}/2\mu\text{m}$ DUTs NMOS M_1 , polarizados con 100nA de corriente I_{Bias} , y las fases $\phi_1-\phi_2-\phi_3$ todas iguales alternando a $f_{\text{SW}} = 1\text{kHz}$. Si bien una corriente sinusoidal de ruido no representa la realidad, permite verificar la cancelación del ruido de flicker a baja frecuencia para los transistores del OTA y la amplificación del mismo para los DUTs. En las simulaciones $R=1\text{M}\Omega$, $C=2.2\text{nF}$, y el pasabajos A_{dif} de la Fig.4 fue sustituido por un filtro Sallen-Key pasabajos de tercer orden con ganancia unitaria y frecuencia de corte en 400Hz . Cabe destacar que para el primer caso, la amplitud simulada de salida es $V_{\text{Out}} = 13\text{mV}_p$ acorde al valor esperado: $V_{\text{Out}} = (B \cdot i_n \cdot R \cdot D_{\text{ON}}) = (4.5\text{nA} \cdot 1\text{M}\Omega \cdot (3/2)) = 13.3\text{mV}_p$. Donde D_{ON} es el duty cycle de encendido ($\phi_1+\phi_2$). Para i_{n2} en la Fig. 6 abajo, solo se puede observar una señal residual de $200\mu\text{V}_p$.

El amplificador conmutado propuesto por lo tanto, amplifica el ruido de baja frecuencia de los DUTs, mientras que cancela los efectos de los restantes transistores del OTA.

IV. CONCLUSIONES

Medir el ruido de flicker de muy baja frecuencia, particularmente en funcionamiento ciclo-estacionario es una tarea difícil. Los mayores problemas experimentales son las bajas corrientes (hasta algunos nA o menores) requeridas para la inversión débil, el ruido de acople cuando se mide un único DUT y el ruido introducido por los restantes componentes de la configuración de medida. Como respuesta a dichas

dificultades, se presenta un circuito integrado de aplicación específica (ASIC) diseñado para medir el ruido $1/f$ en transistores de diferente tipo y tamaño. El circuito es un amplificador conmutado Gm-C, similar al propuesto en [9] pero el modulador inicial se coloca luego de los transistores de entrada que son los DUT. De esta manera el ruido de dichos transistores es amplificado mientras que la contribución de los restantes es cancelada. El circuito fue simulado para diversas condiciones de operación, permitiendo la caracterización de los transistores en todas sus regiones de operación.

El circuito propuesto permite la medida de ruido de baja frecuencia tanto para transistores en funcionamiento continuo como ciclo-estacionario, sin necesidad de costosas medidas de aislamiento como jaulas de Faraday. El circuito permitiría obtener las medidas de PSD de ruido ciclo-estacionario necesarias para validar los modelos que se han propuestos.

REFERENCIAS

- [1] K.K.Hung, P.K.Ko, C.Hu, Y.C.Cheng, "A physics-based MOSFET noise model for circuit simulators", IEEE Trans. Electron Devices, vol. 37-5, pp. 1323-1333, May 1990.
- [2] A.Arnaud, C.Galup-Montoro, "A compact model for flicker noise in MOS transistors for analog circuit design", IEEE Trans. Electron Devices, vol. 50-8, pp.1815-1818, Aug. 2003.
- [3] E. Klumperink, S.Gierink, A.P.van der Wel, B.Nauta "Reducing MOSFET 1/f noise and power consumption by switched biasing" IEEE Journal of Solid-State Circuits, vol. 35-7, pp. 994-1001, Jul. 2000
- [4] J.Koh, et al., "A Complementary Switched MOSFET Architecture for the 1/f Noise Reduction in Linear Analog CMOS ICs", IEEE Journal of Solid-State Circuits, vol. 42-6, pp.1352-1361, Jun.2007.
- [5] C.C.Enz, G.C.Temes, "Circuit techniques for reducing the effects of opamp imperfections: autozero, correlated double sampling, and chopper", Proceedings of the IEEE, vol.84-11,pp.1584-1614, Nov.1996.
- [6] A. P. van der Wel, et al., "MOSFET 1/f Noise Measurement Under Switched Bias Conditions", IEEE Electron Device Letters, vol. 21-1, pp.43-46, Jan.2000.
- [7] A.P. Van der Wel, et al., "Modeling Random Telegraph Noise Under Switched Bias Conditions Using Cyclostationary RTS Noise", IEEE Transactions on Electron Devices, Vol. 50-5, pp.1378-1385, May 2003.
- [8] H. Tian and A. El Gamal, "Analysis of 1/f noise in switched MOSFET circuits", IEEE Trans. Circuits Syst. II, vol. 48-2, pp.151-157, Feb.2001.
- [9] M.Miguez, A.Arnaud, "A Study of Flicker Noise in MOS Transistor Under Switched Bias Condition", Journal of Integrated Circuits and Systems, vol. 3-2, pp.63-68, Sept.2008.

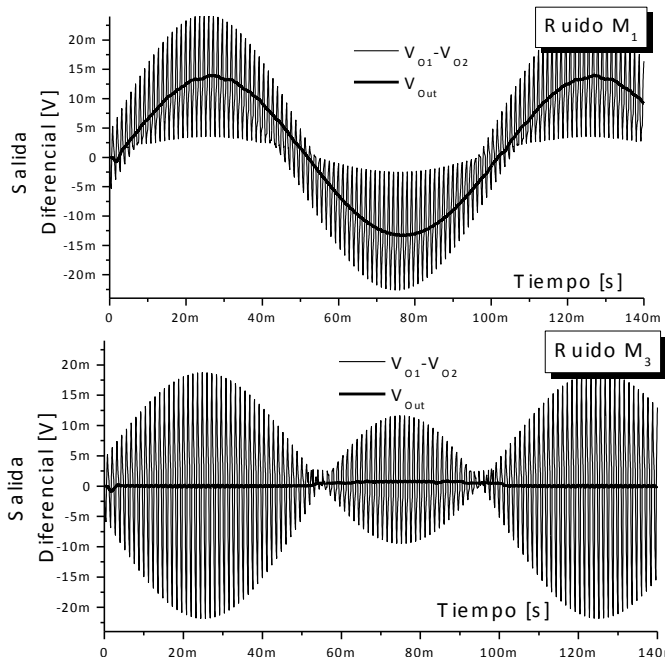


Fig. 6. a) Simulación del ruido sinusoidal i_{n1} de 10Hz y 5nA_p . b) Simulación del ruido i_{n2} sinusoidal de 10Hz y 20nA_p . Se observa que la primera es amplificada mientras que la segunda es prácticamente nula.