

MODELO DE DESAPAREO EN TRANSISTOR MOS Y APLICACIONES. MODELLING MOS TRANSISTOR MISMATCH AND APPLICATIONS

Alfredo Arnaud, Joel Gak, Matías Míguez, Daniel Perciante
Departamento de Ingeniería Eléctrica, Universidad Católica del Uruguay
Av.8 de Octubre 2738, Montevideo - Uruguay, CP.11800. Contacto: aarnaud@ucu.edu.uy

Keywords: integrated circuits, MOS transistor, mismatch, offset, analog circuit design.

1 – INTRODUCCIÓN:

El desapareo es la diferencia aleatoria entre transistores en un circuito integrado que deberían ser idealmente iguales pero en la realidad no lo son. Es reconocido que la performance de circuitos integrados analógicos y digitales, está limitada por el efecto del desapareo[8]. En la Fig.1 se muestra un grupo de transistores tal como lo dibuja en diseñador en un programa de computadora (a) y una fotografía al microscopio óptico del mismo grupo de transistores una vez fabricados (b). En el caso (b) debido a imperfecciones, la distribución aleatoria de impurezas, entre otros factores, los transistores no son exactamente iguales. El efecto del desapareo en circuitos analógicos se conoce como offset. En la Fig.2 se muestra un histograma simulado en el marco de este proyecto, del offset de un amplificador operacional (tipo Miller, para 1000 muestras). El desapareo no solo afecta circuitos analógicos; en la Fig.3 se muestra un estudio del efecto del desapareo en el retardo de circuitos digitales. Notar que el mismo es mayor en tanto disminuye el tamaño de los transistores, o el voltaje de alimentación, dos tendencias bien marcadas de la tecnología microelectrónica moderna. Los modelos precisos y a la vez simples del transistor MOS que acompañen la nueva generación de tecnologías nanométricas, son un área de investigación fundamental y moderna a nivel académico, aunque de interés para la industria que se apoya en estos avances. Al día de hoy no existe un modelo aceptado de desapareo en el transistor MOS, físico, consistente, continuo, y simple, que permita predecir su efecto en circuitos integrados.

Esta propuesta de investigación aborda el modelado de desapareo en transistores MOS, y técnicas de diseño de circuitos integrados analógicos orientadas a reducir el offset en circuitos analógicos.

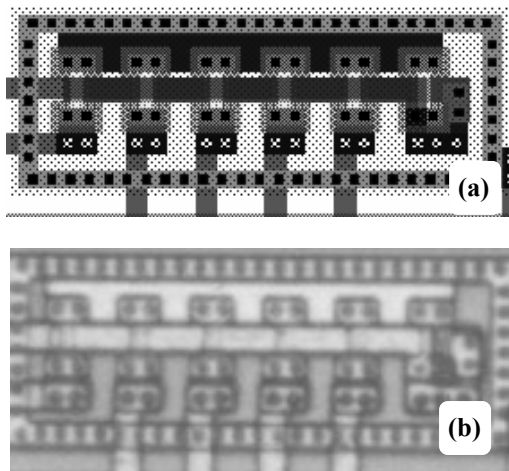


Figura 1: (a) Varios transistores iguales, tal como se ven en un programa de diseño asistido por computador. (b) Fotografía de los transistores fabricados.

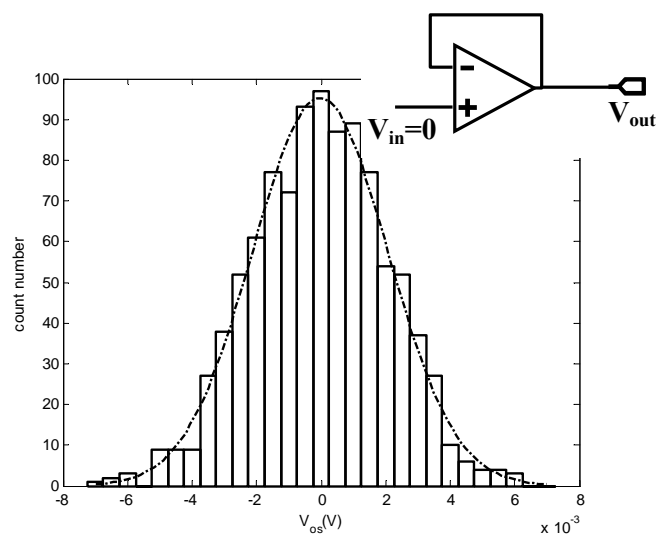


Figura 2: Histograma del offset simulado (Monte Carlo, para 1000 muestras) de un amplificador operacional de Miller. La línea punteada es la aproximación Gaussiana.

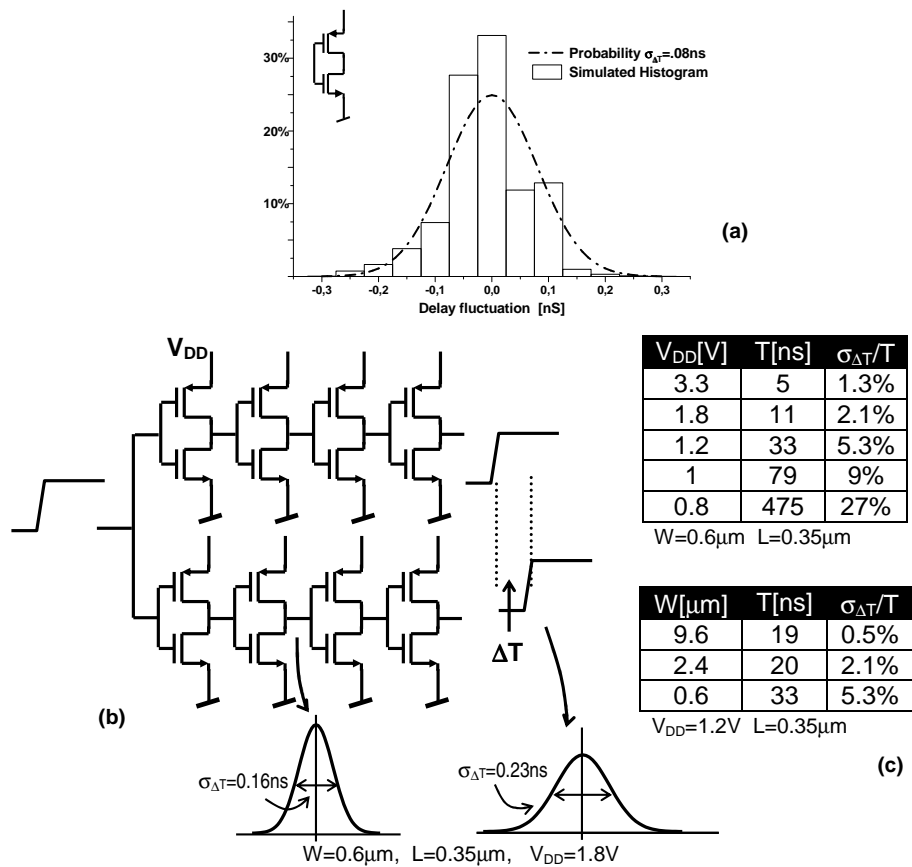


Figura 3. Cadena de inversores CMOS, que ilustra la diferencia de tiempos en el retardo de una señal a lo largo del circuito causada por el despareo. (a) El histograma es la simulación del retardo para 200 muestras de un inversor de tamaño mínimo en tecnología de 0.35micras. (b) La fluctuación en el retardo se acumula a lo largo de la cadena de inversores, a medida que los pulsos avanzan, su diferencia en el tiempo (ΔT) tiende a crecer como se muestra en la distribución σT . (c) Las tablas muestran la dispersión normalizada (respecto al retardo de un inversor solo) para diferentes tamaños de transistor, y voltajes de alimentación.

También se espera consolidar el entorno de trabajo y una línea de investigación en microelectrónica en la Universidad Católica del Uruguay. La microelectrónica es una de las ramas de la tecnología más relevante en la actualidad. El trabajo en el área requiere recursos humanos altamente especializados, herramientas informáticas específicas, laboratorio de caracterización. Durante este proyecto se pretende diseñar, fabricar, y medir circuitos integrados con estructuras que permitan caracterizar el despareo entre transistores para contrastar el modelo teórico, y circuitos novedosos para reducir el offset por despareo en circuitos analógicos.

A lo largo de esta comunicación, se relatará lo avances y logros del proyecto.

2. AVANCES FUNDAMENTALES DEL PROYECTO

2.1. Despareo en el transistor MOS

Como primer actividad se completó una revisión bibliográfica extensa del estado del arte en modelo de offset en transistores y circuitos. El estudio bibliográfico más completo se encuentra en la

referencia [3]. Se ha realizado la formulación y análisis teórico completo de un nuevo modelo de despareo en el transistor MOS [2,3], incluyendo simulaciones y estudio según la geometría de los transistores. El modelo compacto de despareo formulado es el siguiente:

$$\frac{\sigma_{I_D}^2}{I_D^2} = \frac{N_{oi}}{WLN^{*2}} \frac{1}{i_f - i_r} \ln\left(\frac{1+i_f}{1+i_r}\right) \quad (1)$$

La ec.(1) relaciona la varianza de la corriente del transistor MOS, con constantes conocidas del mismo: W, L = ancho y largo, $N^* = \frac{nC'_{ox}\phi_t}{q}$ siendo C'_{ox} la capacidad del óxido por unidad de área, n el factor de pendiente[9], q la carga del electrón, $\phi_t \approx 26\text{mV}$ el voltaje térmico, i_f, i_r las corrientes específicas de polarización [9]. N_{oi} es la única constante específica a ajustar. La contribución de este modelo es su origen físico a diferencia de los modelos empíricos usuales, es simple y válido en todas las regiones de operación (1 ecuación válida siempre), está asociado al modelo más general ACM del transistor[9]. Para una descripción detallada del modelo, su deducción y análisis, se pueden consultar las publicaciones asociadas [2,3].

2.2 Asociación serie paralelo de transistores:

Se ha realizado un análisis teórico profundo, y aplicaciones, de la asociación serie-paralelo de transistores, aplicada a circuitos de bajo offset. En la Fig.4 se muestra un espejo de corriente que utiliza asociación serie-paralelo de transistores unitarios. La técnica permite realizar transistores apareados aún con geometría bien diferente. Por ejemplo se pueden lograr factores de copia de varios miles, sin perder en cuanto al offset, ruido térmico o de flicker, área. En la publicación [1] se demuestra todas estas propiedades desde el punto de vista teórico y mediante aplicaciones fabricadas. Se caracterizaron transconductores equivalentes a resistencias hasta varios $G\Omega$ utilizando esta técnica. A modo de ejemplo en la Fig. 5 se muestra un integrador G_m -C, con 3s de constante de tiempo, 1V de rango lineal, menos de 10mV de offset, y completamente integrado, algo difícil de lograr con las técnicas usuales.

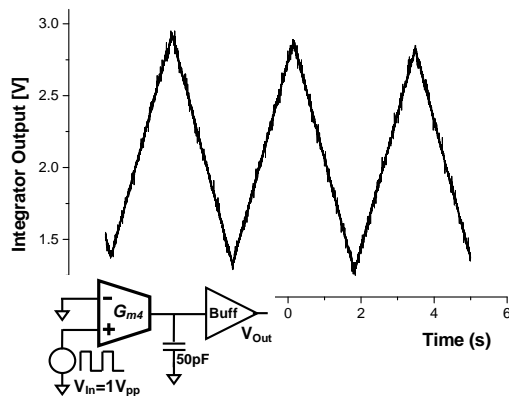


Figura 5: Respuesta transistoraria medida, de un integrador de constante de tiempo 3.3s, con una señal cuadrada de $1V_{pp}$ a la entrada.

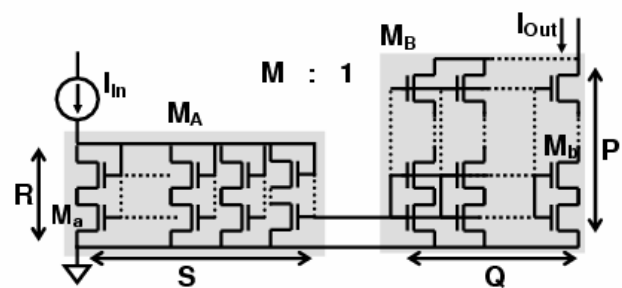


Figura 4: Espejo de corriente genérico que utiliza asociación serie-paralelo de transistores. $P \times Q$ y $R \times S$ transistores unitarios todos iguales, son conectados en serie-paralelo para alcanzar un factor de copia $M = S.P/Q.R$.

2.2 Amplificadores chopper de muy bajo consumo.

Se han estudiado también arquitecturas novedosas de amplificadores chopper, para reducir el offset en circuitos con aplicación a dispositivos médicos implantables. La técnica elegida fue conmutar un circuito G_m -C como en la Fig.6. El circuito fue fabricado en una tecnología de 1.5 μ m, con un offset medido de solo 2.5 μ V. Una descripción profunda del circuito se encuentra en las publicaciones [4,5].

3 - ENTORNO DE TRABAJO EN EL DIE

En el Departamento de Ingeniería Eléctrica de la Universidad Católica del Uruguay (DIE), se trabaja entre otras áreas en microelectrónica. Para dicha actividad es necesario contar con: recursos humanos especializados, software específico tipo CAD, laboratorio para medir circuitos, capacidad de fabricación de circuitos integrados. Algunos de estos aspectos se han cubierto con ayuda de este proyecto. Se adquirió una licencia universitaria de Mentor Graphics, un paquete específico para diseño de circuitos integrados y se ha trabajado también sobre herramientas de uso libre. Se dispone en la actualidad de capacidad de diseñar en forma completa circuitos integrados analógicos y digitales. Por otro lado se completó un acuerdo con el consorcio MOSIS [10] para fabricación sin costo de circuitos integrados para fines de enseñanza e investigación. Para completar el entorno de laboratorio se adquirió un osciloscopio calibrado, se trabajó con un grupo de estudiantes de grado en el montaje de un sistema capaz de medir tensiones y corrientes en forma precisa [7].

Como resultado de estas actividades, se diseñó, fabricó, y midió con éxito, el primer circuito integrado desde la Universidad Católica del Uruguay. El circuito se muestra en la Fig.7, se trata de amplificadores de muy bajo ruido y bajo offset, en tecnología de 1.5micras.

En cuanto a la relación con otros grupos académicos y formación de recursos humanos, se ha mantenido una relación académica fluida con el LCI, UFSC – Brasil, y el GME, Universidad de la República – Uruguay, que ha dado lugar a publicaciones en conjunto [1,2,3]. Se está trabajando con estudiantes de grado en dos proyectos de fin de carrera (instrumentación, microelectrónica) y un candidato a maestría, todos en el marco del proyecto.

El equipo de profesores y estudiantes vinculados al proyecto en la Universidad Católica se compone por: Dr.Alfredo Arnaud, Dr.Daniel Perciante, Ing.Matias Miguez, Joel Gak, Martin Bremermann, Michel Grudzien, Diego Lanzaro, Diego Vallejo.

4. CONCLUSIONES:

4.1 - La importancia de los resultados obtenidos:

Los resultados a la fecha son alentadores; las metas se han cumplido en forma adecuada. Cabe resaltar el impacto de esta investigación en dos aspectos:

- La contribución realizada en cuanto al modelo de desapareo en el transistor MOS, y la asociación serie-paralelo como técnica de circuito para reducir el offset. Se realizaron publicaciones en medios de alto impacto, en particular [1,3] en el IEEE Journal of Solid State Circuits, el Journal más consultado de la IEEE, y el más citado en patentes técnicas.
- Formación de recursos humanos y entorno de trabajo. En la actualidad es el único proyecto de investigación en microelectrónica en la Universidad Católica, y ha permitido consolidar el área de trabajo, herramientas de diseño, capacitación, que seguramente redundará en el futuro en nuevos proyectos académicos y tecnológicos.

4.2 Futuras actividades

Como futuras actividades de este proyecto podemos mencionar:

- Complementar medidas, conclusiones y avances actuales.

- Diseñar y fabricar un nuevo ASIC con MOSIS en tecnología submicrónica, para estudiar la influencia de la geometría del transistor en el despareo.
- Completar el estudio de offset en temperatura.

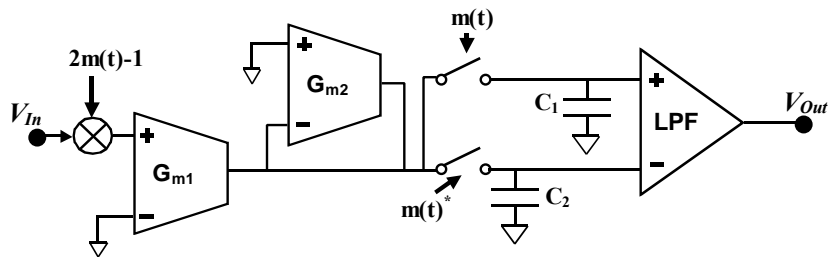


Figura 6: Diagrama del chopper G_m -C diseñado [4,5]. El circuito medido tiene un offset menor a $2.5\mu\text{V}$, consume 28mW para un ruido de $1\text{nV}/\text{Hz}^{1/2}$, tiene una ganancia de 80 y un ancho de banda de 5kHz .

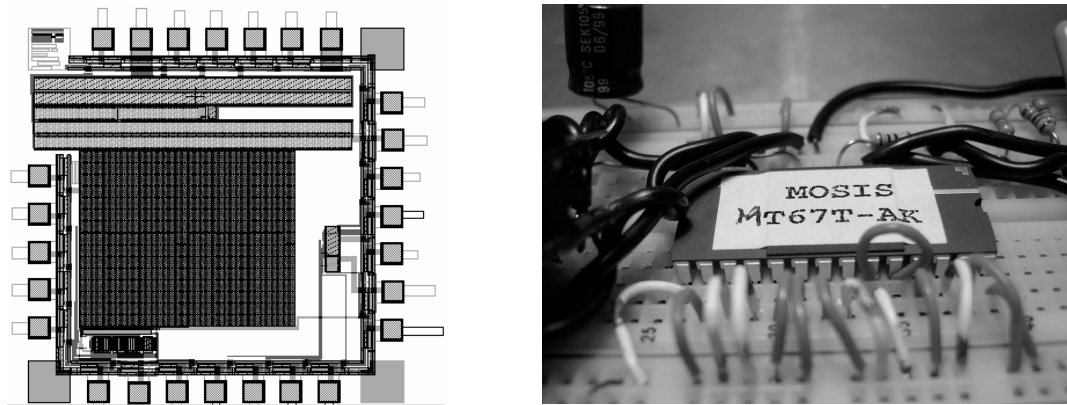


Figura 7: Primer circuito integrado diseñado en el DIE y fabricado. Layout del mismotomado del programa CAD (izq.), fotografía del chip durante su caracterización en el laboratorio (der.).

REFERENCIAS:

- [1] A.Arnaud, R.Fiorelli, C.Galup-Montoro, "NanoWatt, sub-nS OTAs, with sub 10mV input offset, using series-parallel current mirrors", IEEE JSSC, vol.41, n°9, pp.2009-2018, sept. 2006.
- [2] H.Klimach, A.Arnaud, C.Galup-Montoro, M.Schneider, "MOSFET Mismatch, A new approach", IEEE Design & Test of Computers, pp.20-29 feb-2006.
- [3] C.Galup-Montoro, M.C.Schneider, H.Klimach, A.Arnaud, "A Compact Model of MOSFET Mismatch for Circuit Design", IEEE Journal of Solid-State Circuits, vol. 40, n°8, aug.-2005.
- [4] A.Arnaud, M.Miguez, "On the evaluation of the exact output of a switched continuous time filter and applications", enviado a publicar IEEE Trans.on Circuits & Systems I, dic.2006 (estado: en evaluación)
- [5] A.Arnaud, M.Miguez, "A low noise G_m -C chopper for ENG signal amplification", enviado dic.2006 al XIII Workshop de Iberchip IWS'2007 (estado: en evaluación).
- [6] J.Gak, M.Bremermann, A.Arnaud, "Preamplificador integrado para señales de ENG", enviado dic.2006 al XIII Workshop de Iberchip IWS'2007 (estado: en evaluación).
- [7] M.Grudzien, A.Arnaud, "Sistema para caracterización de circuitos integrados", enviado dic.2006 al XIII Workshop de Iberchip IWS'2007 (estado: en evaluación).
- [8] R. Wilson, "The dirty little secret: Engineers at design forum vexed by rise in process variations at the die level", EE Times, p.1, Mar. 25, 2002.
- [9] A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, "An MOS transistor model for analog circuit design", IEEE JSSC, vol.33, n°10, pp.1510-1519, Oct.1998.
- [10] Programa MOSIS, disponible en: <http://www.mosis.org>